

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

© EPODOC / EPO

PN - JP10093540 A 19980410
PD - 1998-04-10
PR - JP19960246599 19960918
OPD - 1996-09-18
TI - DATA TRANSMISSION SYSTEM
IN - KOKURYO GARO
PA - HITACHI ELECTRONICS
IC - H04L7/00 ; H04L13/08

© WPI / DERWENT

TI - Synchronous data transmission system - monitors amount of data stored in FIFO memory of transmission line, based on which clock frequency at receiver is synchronised with transmitter clock frequency

PR - JP19960246599 19960918

PN - JP10093540 A 19980410 DW199825 H04L7/00 005pp

PA - (HITN) HITACHI DENSHI LTD

IC - H04L7/00 ;H04L13/08

AB - J10093540 The system comprises a transmitter and a receiver which are operating at different transmission rates. The data from the transmitter, synchronised with the standard clock signal, is transmitted to the receiver along the transmission line.

- Based on the transmission rate, the data is stored in a FIFO memory (7) of the transmission line, and transmitted to the receiver. Based on the amount of data stored in the FIFO memory, the clock frequency at the receiver side is synchronized with the transmitter clock frequency.
- ADVANTAGE - Enables exact synchronisation between transmitter and receiver.
- (Dwg.1/7)

OPD - 1996-09-18

AN - 1998-278550 [25]

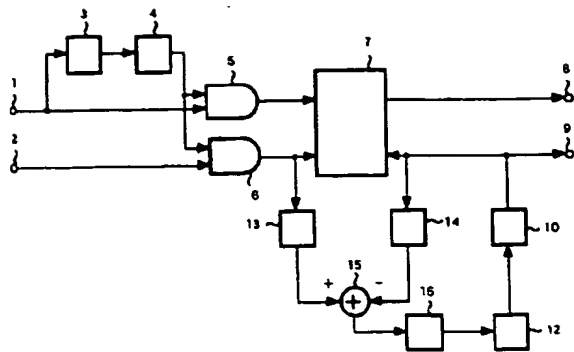
© PAJ / JPO

PN - JP10093540 A 19980410
PD - 1998-04-10
AP - JP19960246599 19960918
IN - KOKURYO GARO
PA - HITACHI DENSHI LTD

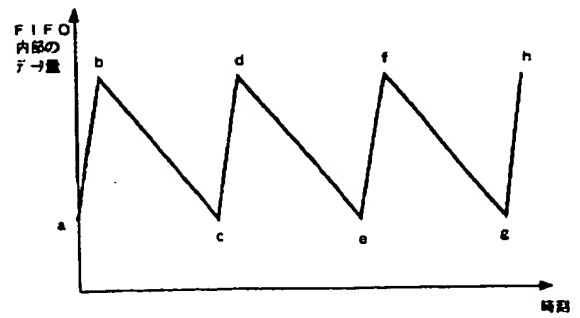
TI - DATA TRANSMISSION SYSTEM

- AB - PROBLEM TO BE SOLVED:** To attain a data transmission not causing an underflow or the like by monitoring a data amount in an FIFO memory of a receiver equipment and controlling an operating clock frequency of a receiver side equipment so as to allow a clock frequency of a receiver side equipment to be in synchronism with an operating clock frequency of a transmitter side equipment.
- SOLUTION:** A header detection section 3 at a receiver side detects header information to read a data amount size and controls an AND gate 5 so as to get through for a corresponding period only and only a data part is inputted to an FIFO memory 7. Thus, data are inputted to the FIFO memory 7 at a clock frequency of the transmission line. Input output data amounts of the FIFO memory 7 are subtracted by a subtractor 15 to take a difference so as to obtain the data amount in the FIFO memory 7. A frequency difference between the transmitter side and the receiver side is obtained from an output of the subtractor 15 at the receiver side. The frequency of the clock signal with a prescribed frequency is the same as the frequency sent from the transmitter side at the counter 10 by controlling the frequency of a transmitter 12 with VCO based on the difference.
- I - H04L7/00 ;H04L13/08**

【図1】

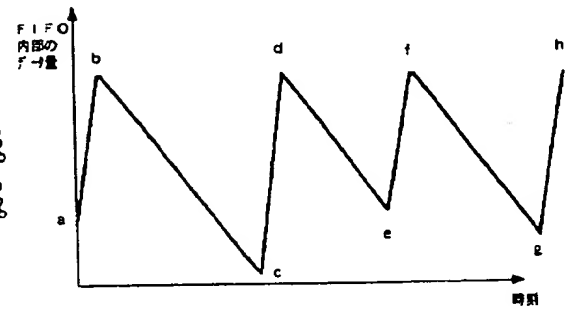
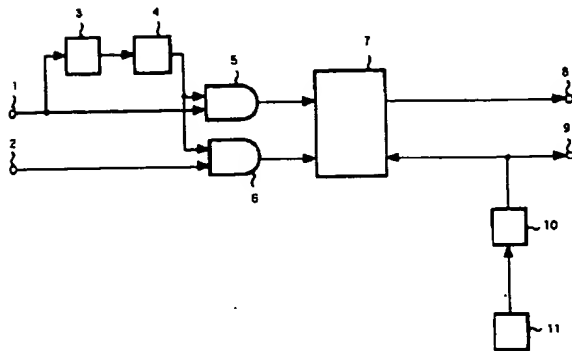


【図5】

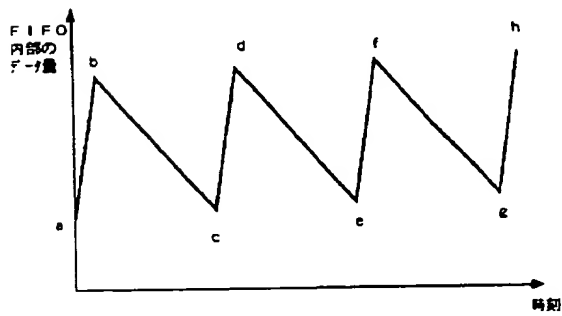


【図6】

【図2】



【図7】



9のクロックの周波数の方が低い場合を図7に示す。この場合、受信側19のFIFOメモリ7の入力データ量よりも出力するデータ量が少なくなるので、b点からc点の期間で、もとのa点までのデータを出力しないうちに、次の受信データがc点からd点の期間で入力されてくる。d点からe点、f点からg点の期間についても同様である。そのため、FIFOメモリ7内に残るデータ量は、徐々に増加していくことになり、b点-d点-f点-h点…をつなぐ線は、右上がりの線となる。ここで、送信側17で発振するクロック周波数を Bt (Hz)、受信側19で発振するクロック周波数を Br (Hz)とし、FIFOメモリ7の内部のデータ量の増減を監視する期間を $T0$ (秒)、 $T0$ で増減するデータ量を D (ビット)とすれば、次の式が成立する。

$$D = (Bt - Br) \times T0$$

この式から、受信側19では $T0$ を設定して、FIFOメモリ7内のデータの増減量 D 、つまり、減算器15の出力から、送・受信側の周波数差を求める。

$$D / T0 = Bt - Br = (\text{送・受信側の周波数差})$$

そして、この計算によって求めた、変換部16の出力により、送・受信側の周波数差の量に対応して、VCO付き発振器12の周波数を制御すれば、VCO付き発振器12から出力され、カウンタ10にて所定の周波数となるクロックは、送信側17で発振した周波数と全く同じ周波数にすることができる。つまり、FIFOメモリ7の出力クロックが送信側17で発振したクロックと同一になるので、FIFOメモリ7内のデータ量は、図5や図6に示したように、b点-d点-f点-h点…をつなぐ線が水平となり、FIFOメモリ7でオーバーフローやアンダーフローが発生することはない。上記実施例では、変換部16の出力でVCO付き発振器12の周波数の制御を行うことで説明したが、VCOの付いていない発振器を使用し、カウンタ10の分周比を制御して内部動作クロックの周波数を制御しても構わない。

【0013】

【発明の効果】以上、説明したように、伝送路18のクロック周波数、つまり伝送速度に関係なく、送信側17

のクロック周波数に受信側19の周波数を同期させることができ、送信側17と受信側19が同じ周波数のクロックで動作できるようになるので、データのビット落ちやビット漏ぎが発生することなく、正しくデータ伝送が可能である。無線の伝送路18を介して、データ伝送を行うとすると、伝送路18でのデータはバーストで伝送する方式をとるのが、普通である。単なるデータではなく、音声情報のようにリアルタイムで連続したデータを伝送する場合には、送受の同期をとること以外に受信側19で連続的にデータを再生することも必要となり、本方式が有効である。また、バーストの間隔が等間隔でない場合にも、本方式は適用が可能である。さらに本方式は、伝送路18のクロック周波数が送信側17、受信側19のクロック周波数に対して、 N 倍あるいは $1/N$ 倍 (N は整数)であって、従来の送受の同期方式が使用できる場合にも、適用が可能である。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図

【図2】従来方式のブロック図

【図3】伝送路を介してデータ伝送する場合のシステム図

【図4】データを間欠的に伝送する場合の一例を示す模式図

【図5】本発明の場合の受信側FIFOメモリの内部のデータ量を示す図

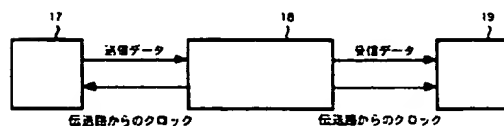
【図6】本発明の場合の受信側FIFOメモリの内部のデータ量を示す図

【図7】従来方式の場合の受信側FIFOメモリの内部のデータ量を示す図

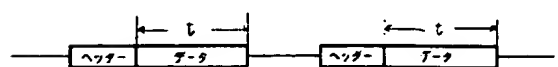
【符号の説明】

1：受信データ入力、2：受信クロック入力、3：ヘッダ検出部、4：入力制御部、5、6：ANDゲート、7：FIFOメモリ、8：データ出力、9：クロック出力、10、13、14：カウンタ、12：VCO付き発振器、15：減算部、16：変換部、17：送信側装置、18：伝送路、19：受信側装置。

【図3】



【図4】



(11)特許出願公開番号

特開平10-93540

(43)公開日 平成10年(1998)4月10日

(51) Int.Cl.⁶

識別記号

FI

H04L 7/00

13/08

H04L 7/00

13/08

A

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号

特願平8-246599

(22) 出願日

平成8年(1996)9月18日

(71)出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(72) 発明者 国領 賀郎

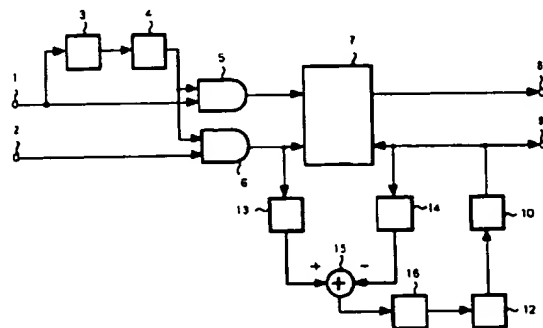
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(54)【発明の名称】 データ伝送方式

(57) 【要約】

【課題】 送信側、受信側の装置の内部動作クロック周波数と伝送路の伝送速度(周波数)とが、お互いに倍数関係ではないデータ伝送を行う場合に、受信側装置の内部動作クロック周波数を送信側の内部動作クロック周波数と同期させる。

【解決手段】 受信側の伝送路側に設けられたFIFOメモリのデータ量の増減量を監視し、その増減量により、受信側の内部動作クロックの周波数を送信側の内部動作クロック周波数に一致させるように制御する。



【特許請求の範囲】

【請求項1】 送信側、受信側装置内部の動作クロック周波数と伝送路の伝送速度とが異なる場合に、当該装置と伝送路との間に速度差の吸収をするためのFIFOメモリを設けてデータ伝送を行う伝送システムにおいて、上記受信側装置のFIFOメモリ内のデータ量を監視し、当該データ量の増減量により、上記受信側装置の動作クロック周波数の制御を行い、上記送信側装置の動作クロック周波数に同期をさせることを特徴としたデータ伝送方式。

【請求項2】 請求項1において、検出した受信側装置のFIFOメモリ内のデータ量が増加してきた場合には、その増加分から送信側と受信側のクロック周波数差を検出し、受信側のクロック周波数を該増加分に対応した分だけ低く設定し、データ量が減少してきた場合は、その減少分から受信側のクロック周波数を当該減少分に対応した分だけ高く設定し、受信側のクロック周波数を、送信側のクロック周波数に、平均的に追従させるよう制御することを特徴とするデータ伝送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、伝送路を介してデータを伝送する場合に、受信側でのタイミングを送信側のタイミングに追従させる方式に関するものである。

【0002】

【従来の技術】伝送路を介してデータを伝送する場合、図3に示すように、伝送網を構成する伝送路18からのクロックに同期して送信側17はデータを送出し、受信側19では伝送路18からのクロックに同期したデータを受信する。つまり、伝送路18のクロックが基本となり、送信側17も受信側19も内部動作を、この伝送路18のクロックに同期させて行っているため、送信側17と受信側19とが、伝送路18のクロックで統一され、送信側17と受信側19の同期が取れる。ところが、全ての伝送において、必ずしも伝送路18のクロックを基本にできるわけではない。例えば、デジタルの音声を伝送する場合、音声は64kHzのクロックが基本になっており、伝送路クロック(伝送速度)が、この64kHzのN倍(Nは整数)もしくは1/Nの周波数でないときには、上記のような同期が取れなくなる。また、映像をデジタル化して伝送する場合には、ビデオカメラの同期信号の周波数を基本として動作させるが、伝送路のクロック周波数と倍数関係にならないことが多い。

【0003】例えば、送信側の内部動作の関係から、64kbpsで伝送路に出力したいのであるが、伝送路18のクロック周波数が100kHzであった場合には、伝送路18に出力する部分に、図2に示すような、FIFOメモリ7などを追加し、64kbpsの連続したデータを、一旦、FIFOメモリ7に入力し、FIFOメモリ7から100kbpsでデータを読み出し、伝送路

18に出力するようにしている。ここで、FIFOメモリにデータが64kbpsで入力され、100kbpsで出力されていくと、FIFOメモリはアンダーフローを起こしてしまうので、この場合、出力側で間欠的にデータを出力し、FIFOメモリがアンダーフローもオーバーフローも起こさないように制御し、データを伝送路18に送出する。受信側19でも、伝送路18との間に、図2に示すようなFIFOメモリ7を持ち、受信データ入力1から間欠的に入ってきた、100kbpsのデータを、一旦、FIFOメモリ7に入力し、出力側から64kbpsの連続したデータとして出力する。

【0004】

【発明が解決しようとする課題】ところが、上記で述べたように、伝送路18のクロックが、音声の処理をするための基本の周波数(64kHz)ではないために、受信側19においては送信側17との同期をとることができない。つまり、上記の例で言えば、受信側19のFIFOメモリ7の出力速度を決める64kHzのクロックは、受信側19独自に、発振器11にて発生させ、カウンタ10によって64kHzにしたものであり、送信側17の64kHzのクロックとは全く独立に発生させたものであるために、多少の周波数差が存在するのは避けられない。従って、送信側と受信側の周波数差がいくらか少ないとはいえ、長時間動作をさせていると、受信側19のFIFOメモリ7がアンダーフローもしくはオーバーフローを起こしてしまうことになる。ここで、送信側17のFIFOメモリは、伝送路18に間欠的にデータを送出しているので、この間欠する間隔(間欠間隔)を適宜制御することにより、送信側17のFIFOメモリでは、アンダーフローもオーバーフローも発生しないように制御することができる。

【0005】つまり、送信側17のFIFOメモリでアンダーフローが発生しそうならば、間欠間隔を多くして伝送路18に送出するデータ量を少なくし、逆に、オーバーフローが発生しそうならば、間欠間隔を少なくし送出するデータ量を多くする。これに対し、受信側19のFIFOメモリ7は、入力するデータ量が変化するデータを、受信側19で定めたクロック周波数で、連続的に出力しているため、アンダーフローや、オーバーフローを起こさないよう制御することはできない。また、受信側19のFIFOメモリ7に、伝送路18を介し間欠的に入力されるデータ量は、平均すると送信側17のクロック周波数に対応することになる。従って、受信側19のFIFOメモリ7は、平均すると送信側17のクロック周波数でデータを入力し、受信側19のクロック周波数で出力することになる。そのため、例えば、受信側19のクロック周波数が、送信側17に比べて低いとすれば、FIFOメモリ7の中にデータが少しずつ増加することになる。そして、長時間動作を続けていると、遂には、オーバーフローに到ってしまう。

【0006】逆に、受信側19のクロック周波数が送信側17より高い場合には、FIFOメモリ7中のデータが少しずつ減少していき、アンダーフローに到達してしまう。FIFOメモリ7で、オーバーフローやアンダーフローが発生すると、データ抜けや、不要データの挿入等が発生し、正しいデータ伝送ができなくなる。ここで、送・受信側のクロック周波数差が少ない程、オーバーフローやアンダーフローが発生する頻度は少なく、周波数差が多い程、発生頻度は多くなる。本発明は、上記のような欠点を除去し、受信側のFIFOメモリで、アンダーフローやオーバーフローが発生しないデータ伝送を実現することを目的とする。

【0007】

【課題を解決するための手段】本発明は上記の目的を達成するために、受信側のFIFOメモリ中のデータ量の増減を監視して、データ量が増加してきた場合には、その増加分から送信側と受信側のクロック周波数差を検出し、受信側のクロック周波数を該増加分に対応した分だけ低く設定し、データ量が減少してきた場合は、その減少分から受信側のクロック周波数を当該減少分に対応した分、高く設定する。これにより、受信側でのクロック周波数は、送信側で発生したクロック周波数に、平均的に追従するようになり、FIFOメモリでオーバーフローもアンダーフローも発生せず、正しくデータ伝送ができる。

【0008】

【発明の実施の形態】以下、本発明の一実施例を、図1および図3～図7を用いて説明する。受信データ入力1には、伝送路18からの受信データが入力され、受信クロック入力2には、伝送路18からのクロックが入力される。送信側17から伝送路18に間欠的にデータを送出して、それを受信側19で受信する伝送方式としては種々あるが、ここでは送出するデータにヘッダを付加する伝送方式に、本発明を用いた場合を例として説明する。送信側17から送出するデータ列は、図4に示したように、ヘッダ部と実際に受信側19に送るデータを入れておくデータ部分で構成される。ここで、データ部の終わりから、次のヘッダ部までに間隔が空いているのは、送信側17での内部動作基準クロックと伝送路18のクロックとの周波数が異なる場合に、送信側17のFIFOメモリが、オーバーフローやアンダーフローを起さないように、間欠的にデータを送出しているためである。データ部に入っているデータの量が一定でない方式の場合には、受信側19で正しくデータを受信するために、ヘッダ部にデータ部のデータ量サイズの情報が含まれているのが普通である。

【0009】本実施例では、まず、受信側19において、上記ヘッダ情報をヘッダ検出部3で検出し、そのヘッダの中に含まれているデータ量サイズを読み取り、当該サイズに対応する期間だけゲートが開くよう、入力制御

部4を介してANDゲート5を制御し、データ部だけをFIFOメモリ7に入力させる。なお、データ部以外の期間は、ANDゲート5は閉じている。FIFOメモリ7に入力する伝送路18のクロックも、同様にANDゲート6を制御することにより、データ部の入力時だけ、FIFOメモリ7にクロックが入力される。これにより、伝送路18のクロック周波数で、FIFOメモリ7にデータが入力される。そして、FIFOメモリ7に入力したデータは、受信側19内部の動作クロック周波数で読出され、データ出力8を通して受信側19の処理部に出力される。この出力側クロックは、VCO付き発振器12で発生させたものをカウンタ10により分周し、所定周波数のクロックにしてFIFOメモリ7の出力クロック端子に供給され、同時に受信側の処理部にもクロック出力9を通して供給される。

【0010】カウンタ13は、FIFOメモリ7の入力クロック端子に接続されているので、FIFOメモリ7に入力したデータ量がカウンタ値となる。また、同様にカウンタ14は、FIFOメモリ7の出力データ量を表すので、これらを減算器15によって差をとれば、その差がFIFOメモリ7内部に入っているデータの量を表すことになる。ここで、FIFOメモリ7の内部のデータ量の変化の状況を図5に示す。a点からb点の期間は、FIFOメモリ7に受信データが入力されている期間である。そしてb点からc点では、受信データは入力されず、FIFOメモリ7の出力側より連続的に出力が行われるので、徐々にFIFOメモリ7内のデータ量は、減少していく。c点からd点の期間では、再び、FIFOメモリ7の入力に受信データが入力される。同様に、e点からf点およびg点からh点の期間は、FIFOメモリ7にデータが入力されている期間であり、d点からe点およびf点からg点の期間は受信データの入力ではなく、出力だけが行われる期間である。

【0011】図6は、送信側17から間欠的に送出されるデータの間欠間隔を可変した場合のFIFOメモリ7内部のデータ量の変化の状況を表している。b点からc点の期間は長い。これは図4に示すも期間が長くなった場合である。次にc点からd点で受信データが入力されることになるが、b点からc点の期間が長かった分だけ多くのデータが送信側17から送られてくる。これは、b点からc点の期間が長かったために、送信側17のFIFOメモリ7の中に長い分だけ多くのデータが入力されたために、オーバーフローを起こさないようにするために、その分多くのデータを伝送路18に送出するためである。この図6に示したように、送信側17と受信側19との周波数の差がないと仮定した場合には、バーストの間隔が可変であっても、b点-d点-f点-h点...をつなぐ線は水平となる。

【0012】ところが、送信側と受信側でクロック周波数に差がある場合、例えば、送信側17よりも受信側1